

6.11 Analog-Digital-Umsetzer (ADU)

Der Wunsch, analog erzeugte Daten digital weiter zu verarbeiten, zu speichern oder zu übertragen, hat zur Entwicklung vieler verschiedener Verfahren zur Analog-Digital-Wandlung geführt.

Drei davon haben sich durchgesetzt und wurden zu hoher Reife entwickelt. Das vierte Verfahren, der *Delta-Sigma-Wandler*, befindet sich noch in der Weiterentwicklung, da dieser neue Eigenschaften hat und sich mit moderner Halbleitertechnologie gut verwirklichen läßt. Die Tabelle 9-1 zeigt eine Übersicht über die vier wichtigsten AD-Wandlertypen. Alle AD-Wandler können nur Gleichspannungen oder Spannungen umsetzen, die sich während der Messung nicht verändern.

Tabelle 9-1. Verfahren zur Analog-Digital-Wandlung.

Arbeitsprinzip	Genauigkeit, Schnelligkeit	Preis, Stromverbrauch	Ausgang	Anwendungsbeispiel
integrierender AD-Wandler, Zweirampenverfahren	dezimal: 3½ bis 5½ Stellen binär: 12 bis 20 Bit, 10 ms bis 1 s, langsam	sehr preisgünstig, 1 mW bis 100 mW	BCD mit Ziffernanzeige, binär, parallel, µP-kompatible Busschnittstelle	Digitalmultimeter, langsame Spannungsmesser, für manuelle und automatische Messungen; unempfindlich gegen überlagerte Störungen
AD-Wandler nach dem Prinzip der sukzessiven Approximation	binär, 8 bis 18 Bit, 0,5 µs bis 100 µs, schnell	preisgünstig bis mittlere Preisklasse, 0,1 W bis 1 W	binär, zunehmend µP-kompatible Busschnittstelle parallel und seriell	schneller Datenwandler in der industriellen Steuer- und Regeltechnik, zur Kommuni- kation und zur Überwachung schneller Vorgänge; störepfindlich
AD-Parallel-Wandler, ein- und zweistufig	binär, 6 bis 12 Bit, 2 ns bis 200 ns, sehr schnell	mittlere bis hohe Preisklasse, 1 W bis 4 W	binär, parallel	Datenwandler für Oszillo- skope, Transientenrecorder, zur Digitalisierung von Videosignalen, Kommunika- tionstechnik, Überwachungs- technik (Radar)
Delta-Sigma-AD-Wandler	8 bis 16 Bit, 2 µs bis 1 s	günstig bei großen Stückzahlen, Verbrauch gering	binär, seriell und parallel	Datenwandler in der Kom- munikationstechnik mit digi- talem Filter für besondere Anwendungsfälle

6.11.1 Integrierende Analog-Digital-Wandler

Beim integrierenden AD-Wandler erzeugt die unbekannte Spannung U_x innerhalb einer genau festgelegten Zeit an einem Integrator einen Spannungsanstieg, der zu einer bestimmten Hilfsspannung U_1 führt, die dem Mittelwert der unbekanntes Eingangsspannung proportional ist. Anschließend legt man eine genau bekannte Referenzspannung mit entgegengesetzter Polarität an und mißt die Zeit, in der der Integrator wieder auf null läuft. Diese Zeit ist der unbekanntes Spannung U_x proportional. Bild 9-10a zeigt das Blockschaubild eines integrierenden AD-Wandlers.

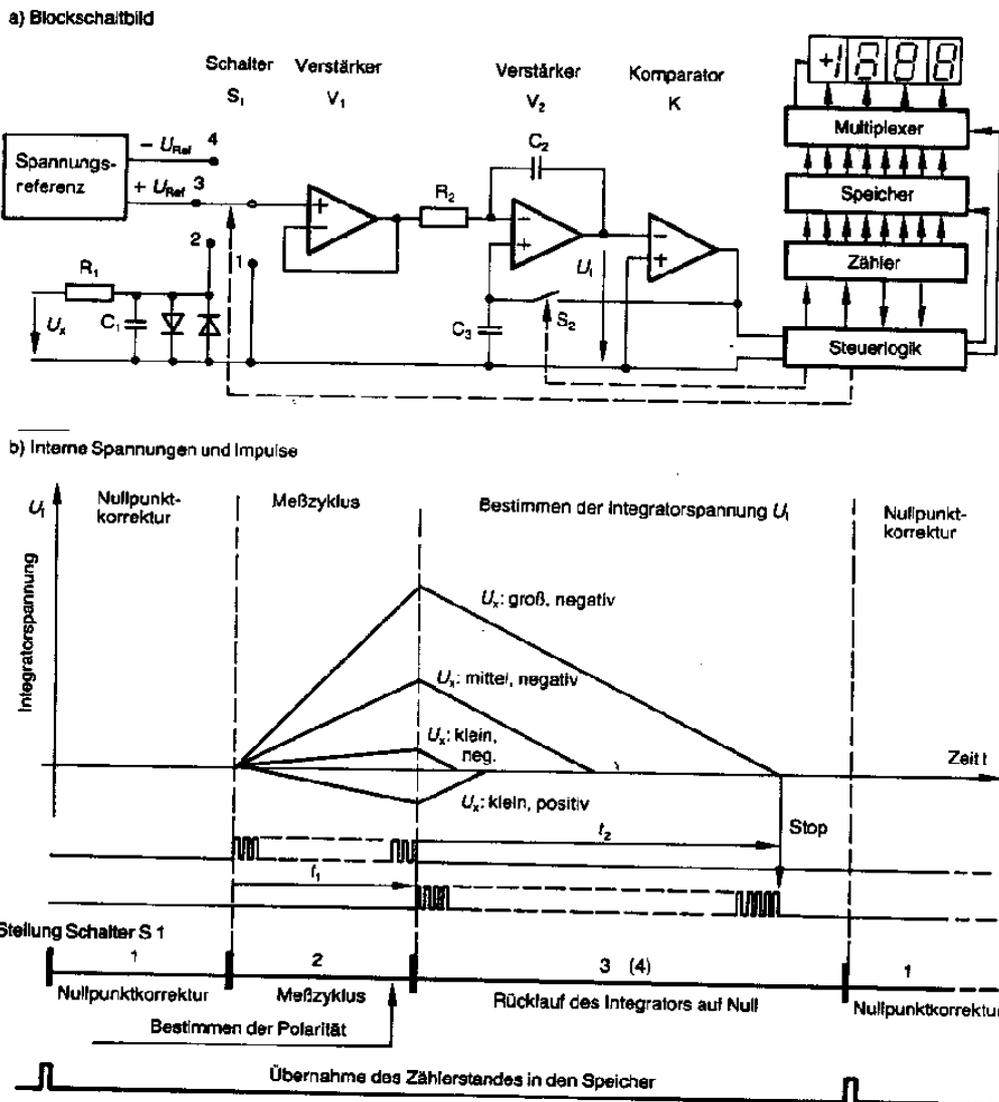


Bild 9-10. : Integrierender Analog-Digital-Wandler.

Die unbekannte Eingangsspannung U_X kommt über den Schutzwiderstand R_1 zum Schalter S_1 . Der Kondensator C_1 unterdrückt höherfrequente Störungen, und die antiparallel geschalteten Dioden schützen den Eingang vor Überspannung.

Zu Beginn der Messung stellt die Steuerlogik den MOSFET-Schalter S_1 in die Stellung 2, und die Eingangsspannung gelangt über den sehr hochohmigen Elektrometerverstärker V_1 auf den Integrator V_2 .

Während des Meßzyklus t_1 , der immer eine konstante -Anzahl *Perioden* (2000 bis 10000) des internen Systemtaktes (meist 100kHz) dauert, wird die unbekannte *Eingangsspannung über der Zeit integriert*.

Eine kleine Meßspannung veranlaßt einen langsamen Spannungsanstieg, eine große einen schnellen Anstieg. Dieser Anstieg ist in der Mitte des Bildes 9-10b zu sehen.

Der Komparator K stellt die Polarität der integrierten Spannung und damit auch die Polarität der Eingangsspannung fest. Nach Ablauf der Meßzeit t_1 stellt die Steuerlogik den Schalter S_1 in die Stellung 3 oder 4. Dabei legt man statt der unbekanntes Spannung U_X die Referenzspannung U_{Ref} mit umgekehrter Polarität über den Elektrometerverstärker an den Integrator, wodurch die Ausgangsspannung U_1 des Integrators mit *konstanter Änderungsrate* wieder zurückgeht.

Der Entladevorgang des Integrators dauert so lange, bis die Ausgangsspannung durch null geht und der Komparator K die Integration stoppt. Der Zähler zählt die Takte während der Entladezeit t_2 , die um so länger dauert, je höher die angelegte Meßspannung war. Die Anzahl der Meßtakte ist der unbekanntes Meßspannung genau proportional. Wegen der ansteigenden und abfallenden Spannungsrampe heißt das Prinzip auch *Zweirampenverfahren* (engl.: *dual slope technique*).

Der große Erfolg dieses Wandlerprinzips beruht auf der einfachen und preisgünstigen Herstellung der Schaltung, die heute meist als monolithische hochintegrierte CMOS-Schaltung ohne teuren Abgleich in Gebrauch ist.

Beim integrierenden AD-Wandler nach dem Zweirampenverfahren geht letztlich nur die Referenzspannung in die Messung ein; alle anderen elektrischen Daten beeinflussen das Ergebnis nicht. Die Arbeitsweise und die Besonderheiten sind in dem Blockschaltbild 9-10a und dem Impulsbild 9-10b erläutert.

6.11.2 Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation

Bei diesem Wandlertyp wird der Digitalwert null um jeweils ein Bit, beginnend mit dem MSB, vergrößert, gleichzeitig in den zugehörigen Analogwert gewandelt und mit dem unbekanntes Analogwert verglichen. Das Ergebnis des Vergleichers nutzt man zur systematischen Annäherung der beiden Werte, die erreicht ist, wenn auch das LSB zum Vergleich herangezogen worden ist.

Für jedes Bit ist ein Vergleich und damit eine Taktperiode erforderlich. Die Wandlungszeit beträgt je nach Typ 0,5 μ s bis 100 μ s, die Genauigkeit 8 Bit bis 18 Bit.

Der erforderliche Aufwand, aber auch die erreichbare Geschwindigkeit ist wesentlich größer als beim integrierenden AD-Wandler; die Genauigkeit ist oft geringer.

Bild 9-12 a zeigt das Blockschaltbild dieses AD-Wandlers, Bild 9-12b das zugehörige Impulsbild.

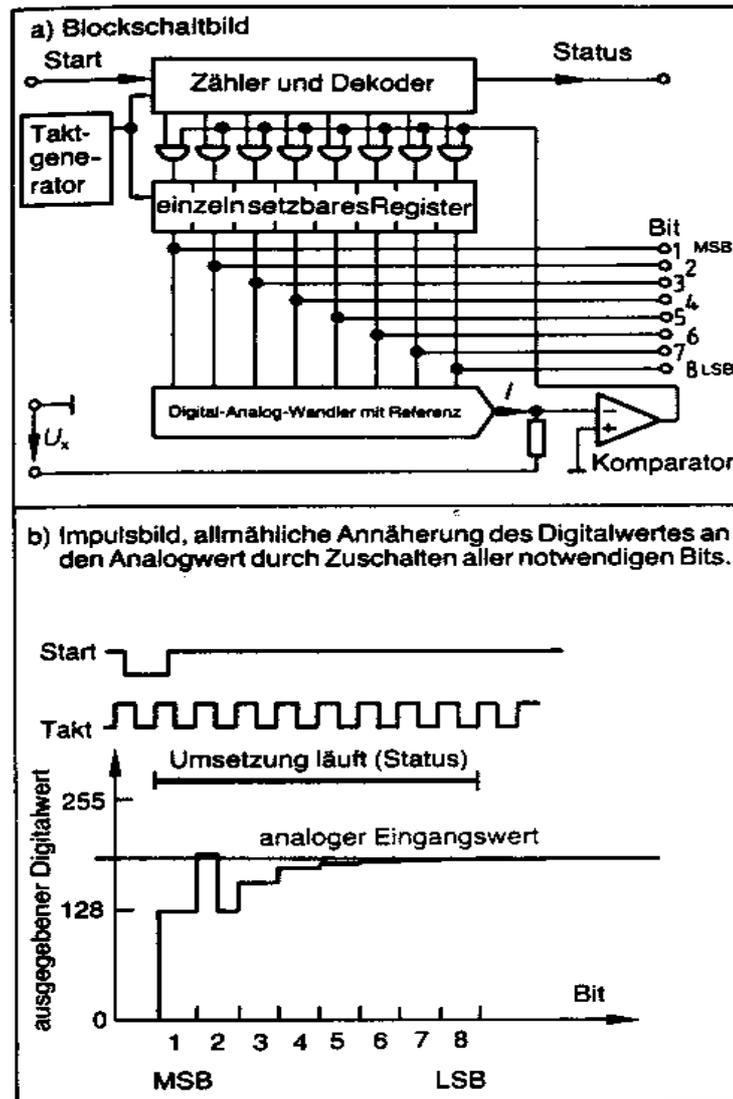


Bild 9-12. Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation.

Die zu wandelnde Analogspannung wird am Eingang U_e angelegt. Sie muß konstant sein und darf sich während der Wandlung um weniger als ein 1/2 LSB ändern. Die Analog-Digitalumsetzung wird mit einem Startimpuls eingeleitet. Der Zähler setzt über einen Dekoder und ein Register das MSB des angeschlossenen DA-Wandlers auf 1. Anschließend vergleicht der Komparator die unbekannte Analogspannung mit der des DA-Wandlers.

RFH Rheinische Fachhochschule Köln	Meßtechnik für Elektrotechnik	Fachbereich: Elektrotechnik Studiengang: Allgemeine E-Technik Dipl.-Ing. M. Trier
--	--------------------------------------	--

Ist die Spannung des DA-Wandlers größer als die analoge Eingangsspannung, dann nimmt der Komparator das MSB im Register wieder zurück, ist die DA-Wandlerspannung dagegen kleiner, dann bleibt das Bit stehen.

Mit der nächsten Taktperiode schaltet der Zähler den Vergleich auf das nächst niedrigere Bit weiter. Der Vergleich führt zum Setzen oder Zurücksetzen des nächsten Bits. Nach jedem Vergleich schalten Zähler und Dekoder auf das nächste niedrigere Bit weiter.

Auf diese Weise wird die anfängliche Differenz zwischen dem Analogwert und dem von null ansteigenden Digitalwert immer kleiner, wobei nur jene Bits gesetzt werden, die zur Darstellung des Analogwertes erforderlich sind.

Ist das niederwertigste Bit (LSB) gesetzt, verriegelt der Wandler seinen Arbeitstakt und bleibt stehen. An der Verbindungsstelle des Registers mit dem DA-Wandler steht der fertig gewandelte Wert an. Wie im Impulsbild zu erkennen ist, führt das Bit 2 zu einem zu hohen Analogwert und wurde deshalb wieder zurückgenommen. Diese Kompensation des Analogwertes durch einen zusammengesetzten Digitalwert heißt auch *Wägeverfahren*.

Die Wandlungszeit eines AD-Wandlers setzt sich aus den Laufzeiten im Digitalteil, dem Zähler und dem Register (SAR, Successive Approximation Register), der Einschwingzeit des DA-Wandlers und des Komparators zusammen. Die Summe dieser Zeiten ist für *jedes* Bit erforderlich. Deshalb wählt man die Taktfrequenz so, daß innerhalb einer Periode ein Bit einschwingen kann. Ein Wandler mit n -Bit-Auflösung benötigt deshalb mindestens n Takte zur Umsetzung.

Das Wägeverfahren ist weit weniger fehlertolerant als das Zweirampenverfahren. In das Ergebnis gehen alle Fehler des DA-Wandlers, wie Referenzspannungsfehler, Nichtlinearitäten, Offset, Temperatur- und Verstärkungsfehler ein. Überlagerte Störungen oder Wechselspannungen können das Setzen eines Bit veranlassen, das im Meßwert nicht enthalten ist. Dieses Bit läßt sich im laufenden Umsetzvorgang nicht zurücknehmen; es verursacht einen Fehler, der erst bei der nächsten Wandlung korrigiert werden kann.

Da dieser Wandler besonders bei schnell sich ändernden Eingangsspannungen Verwendung findet, kann hier ein zusätzlicher Fehler entstehen.

Abhilfe schafft eine vorgeschaltete *Abtast- und Halteschaltung* (engl.: *sample and hold*), welche die Meßspannung abtastet, und den Augenblickswert während der Wandlung in einem Kondensator speichert und so konstant hält.

AD-Wandler nach dem Verfahren der sukzessiven Approximation sind als *mittelschnelle* Wandler mit mittlerer bis hoher Genauigkeit (bis 18 Bit) in Gebrauch. Der gegenüber integrierenden Wandlern hohe Preis rechtfertigt ihren Einsatz nur bei Meßspannungen, die sich mit der Zeit schnell ändern. Ein Beispiel ist die hochpräzise Digitalisierung von Tonfrequenzen zur Speicherung auf der Compact Disc; industrielle Steuerungen und die Kommunikationstechnik sind weitere wichtige Einsatzbereiche.

Die meisten Wandler haben einen binär kodierten parallelen Ausgang. Es gibt jedoch auch AD-Wandler mit einem Schieberegister im Ausgang, deren Ergebnis sich mit einer Impulsfolge seriell ausgeben läßt.

Viele Analog-Digital-Wandler haben heute eine Mikroprozessor-kompatible Schnittstelle

.(Bild 9-13). Ihr *Tri-State-Ausgangsregister* ist normalerweise hochohmig und liegt direkt am Datenbus. Über Steuersignale, Write und die dekodierte Adresse des AD-Wandlers wird dieser angesprochen und schreibt sein Ergebnis direkt auf den Bus. Ist das Ausgangswort des AD-Wandlers breiter (12 Bit) als der Datenbus (8 Bit), dann kann man die Ausgänge zusammenlegen, getrennt aktivieren und dadurch als High-Byte und Low-Byte nacheinander vom Rechner abholen lassen.

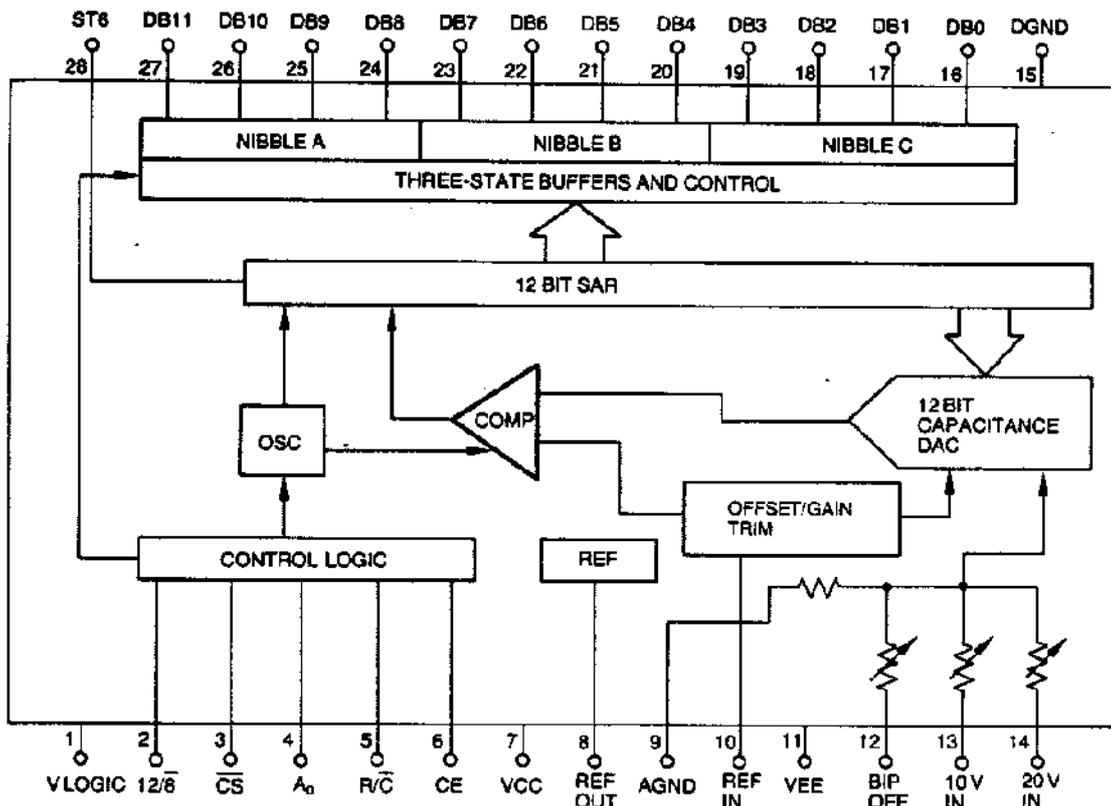


Bild 9-13. Analog-Digital-Wandler mit mikroprozessor-kompatibler Schnittstelle HS574A (Datenbus).
Werkbild: Sipex.

6.11.3 Abtast- und Halteschaltung (Sample and Hold)

Bild 9-14a verdeutlicht die Schaltung eines *Abtast- und Halteverstärkers* (engl.: *Sample and Hold Amplifier*). Während der Abtastphase ist der Schalter S geschlossen. Eine positive Eingangsspannung U_e am invertierenden Eingang des Verstärkers V_1 verursacht einen negativen Ladestrom I_L in den Knoten am Eingang des Verstärkers V_2 der über den Kondensator C, mit einem Anstieg der Ausgangsspannung U_a des Verstärkers V_2 kompensiert wird. Erreicht die Ausgangsspannung den Wert der Eingangs-Spannung, dann wird der Ladestrom I_L null und die Schaltung ist in Ruhe. Wird jetzt der Schalter S geöffnet, dann wirken sich weitere Änderungen der Eingangsspannung nicht mehr auf den Ausgang aus.

Solange keine Ladung aus dem Kondensator abfließt, bleibt die niederohmige Ausgangs-

spannung der Sample-and-Hold-Schaltung erhalten. Der Schalter ist meistens ein sehr hochohmig sperrender MOSFET: Der Verstärker V_2 hat ebenfalls einen FET-Eingang; hierdurch vergrößert sich die Entladezeitkonstante beträchtlich.

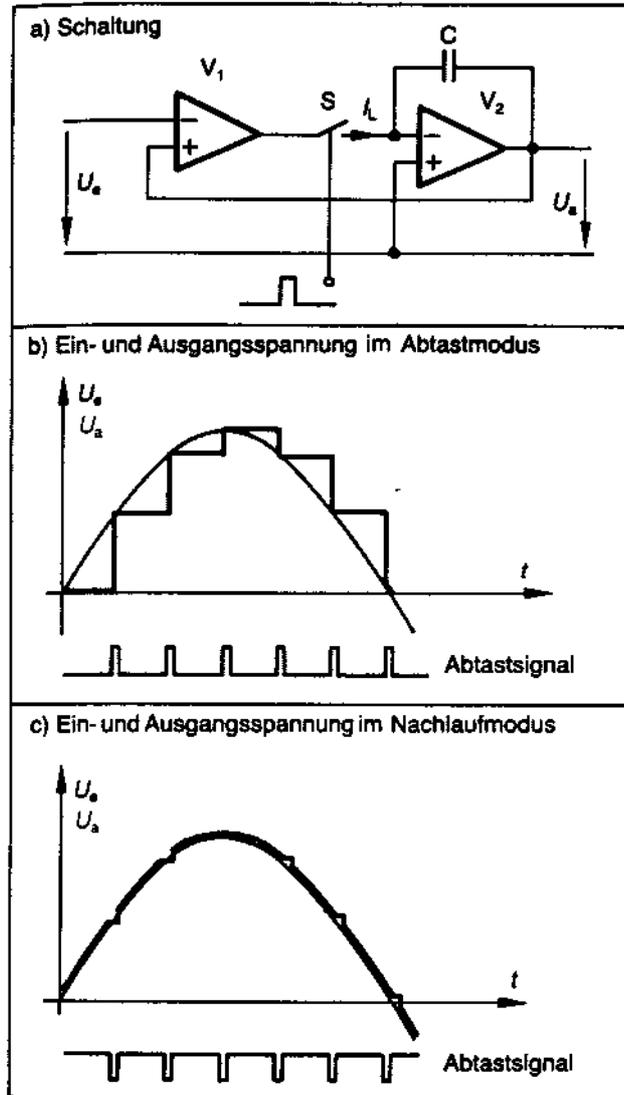


Bild 9-14. Sample-and-Hold-Schaltung.

In Bild 9-14b wird das Eingangssignal nur kurz abgetastet und danach bis zum nächsten Abtastvorgang gehalten. In Bild 9-14c folgt der Abtastkreis der Eingangsspannung dauernd und wird nur kurz während der Wandlungsphase unterbrochen. Durch das ständige Nachlaufen ist die Schaltung auf den jeweiligen

Augenblickswert eingeschwungen und läßt sich jederzeit ohne Wartezeit halten und abfragen.

Wird eine Wechselspannung abgetastet, dann muß die Abtastfrequenz nach Nyquist

(H. NyQUIST, von 1889 bis 1963) mindestens doppelt so hoch wie die höchste zu erfassende Frequenz sein.

Dieses Verfahren heißt deshalb auch *Nyquist-Sampling*. Der unvermeidbare Fehler zwischen dem analogen Eingangssignal und dem *quantisierten* digitalen Ausgangssignal äußert sich als breitbandiges *Quantisierungsrauschen*, das mit zunehmender Auflösung des AD-Wandlers abnimmt. Das Abtasten mit einem Vielfachen der Nyquistfrequenz wird als *Oversampling* bezeichnet; es vergrößert die Bandbreite des Rauschens, verringert aber dessen Pegel.

Das nachfolgende Tiefpaßfilter sperrt den größten Teil dieses breitbandigen Rauschens. Bild 9-15 zeigt das Rauschspektrum bei verschiedenen Abtastfrequenzen.

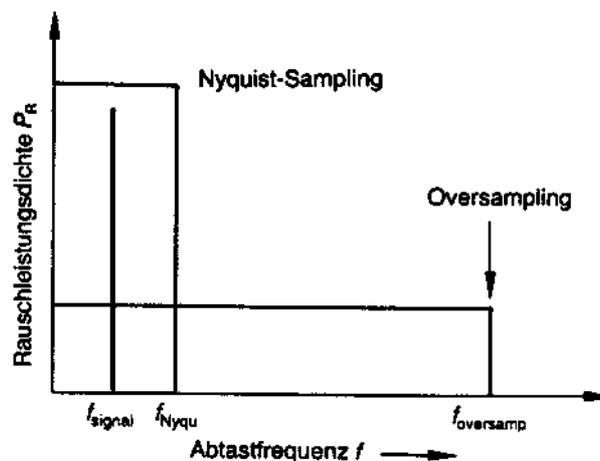


Bild 9-15. Spektrum des Quantisierungsrauschens bei verschiedenen Abtastfrequenzen.

6.11.4 Parallel-Analog-Digital-Wandler

Die bisher beschriebenen Analog-Digital-Wandler haben den Analogwert durch kontinuierliches Hochzählen oder systematisches Suchen des zugehörigen Digitalwertes ermittelt. Hierzu waren mehrere nacheinander ablaufende Vorgänge erforderlich, die Zeit kosteten. Beim *Parallel-Wandler* (engl.: *flash converter*) wird der richtige Digitalwert innerhalb einer Taktperiode ermittelt und parallel ausgegeben. Bild 9-16 zeigt das Blockschaltbild eines *n*-Bit-Parallel-AD-Wandlers.

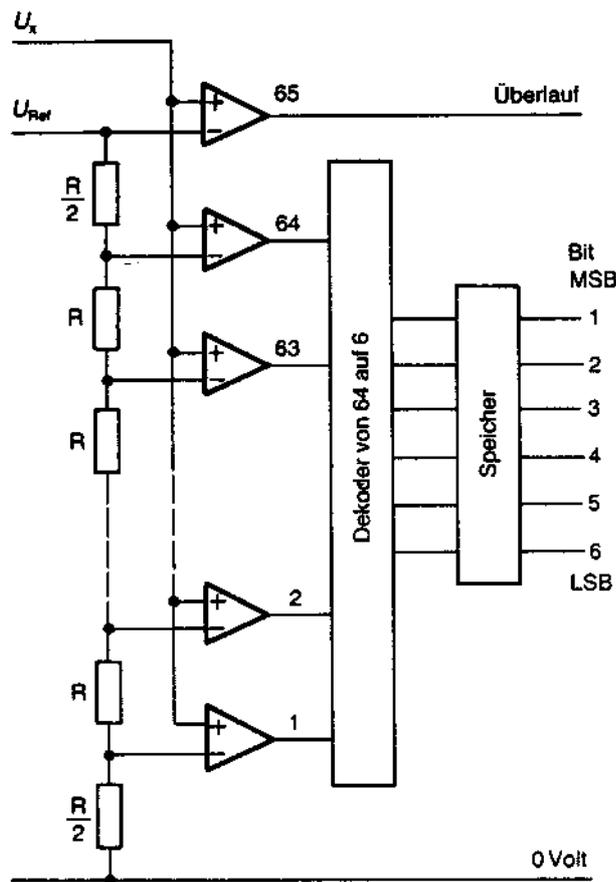


Bild 9-16. Parallel-AD-Wandler (*flash converter*).

Beim *n*-Bit breiten AD-Wandler wird die Referenzspannung über einen Spannungsteiler aus $2^n - 1$ gleichen Widerständen *R* und einem oberen und unteren Widerstand *R/2* geteilt. Die abgreifbaren Spannungen liegen jeweils in der Mitte der in 2^n gleiche Bereiche geteilten Referenzspannung.

2_n Komparatoren vergleichen die unbekannte Eingangsspannung gleichzeitig mit den 2^n möglichen Schwellen.

Alle Komparatoren, deren Referenzspannung kleiner als die Eingangsspannung ist geben am Ausgang eine logische „1“ ab, die Komparatoren mit höherer Referenzspannung geben eine logische „0“ ab.

Der abgegebene Code heißt *Thermometer-Code* : (engl: *bar-code*). Der nachfolgende Dekoder setzt die 2^n-1 -Eingänge parallel und nicht getaktet in einen n-Bit-Binärkode um. Setzt man zuerst in einen einschrittigen Code, beispielsweise den Gray-Kode (Abschn. 11.2.1), und danach in den üblichen Binär-Kode um, dann bleiben mögliche Fehler durch überlagerte Störspannungen während der Wandlung auf ein LSB beschränkt.

Die sehr kurze Wandlungszeit zwischen 5 ns und 100 ns erfordern einen hohen Aufwand gemessen an den bisher vorgestellten Verfahren und ergibt nur mäßige Genauigkeit. Ein 6-Bit-Wandler hat einen Spannungsteiler aus 65 hochgenauen Widerständen, 64 Komparatoren und einen Dekoder mit 64 Eingängen.

Ein 8-Bit-Wandler benötigt einen Teiler mit 256 Ausgängen, 256 parallel betriebene Komparatoren und einen entsprechend großen Dekoder. Die Verlustleistung kann mehrere Watt betragen und muß über das Keramikgehäuse der integrierten Schaltung abgeführt werden.

Der Aufwand und die verfügbare Technologie begrenzen die erreichbare Genauigkeit und Schnelligkeit. Dieses Verfahren befindet sich in intensiver Entwicklung, so daß weitere Verbesserungen zu erwarten sind.

Mit Parallel-Wandlern digitalisiert man heute Meßwerte, Video- und Radardaten sowie zahlreiche andere mit großer Bandbreite anfallende Analogdaten, um sie ohne Genauigkeitsverlust zu speichern und in digitalen Rechnern zu verarbeiten. Da einerseits die 8-Bit-Auflösung für viele Anwendungen nicht ausreicht, andererseits aber jedes weitere Bit Auflösung den Aufwand verdoppelt, wurden andere Wege zur Verbesserung gesucht.

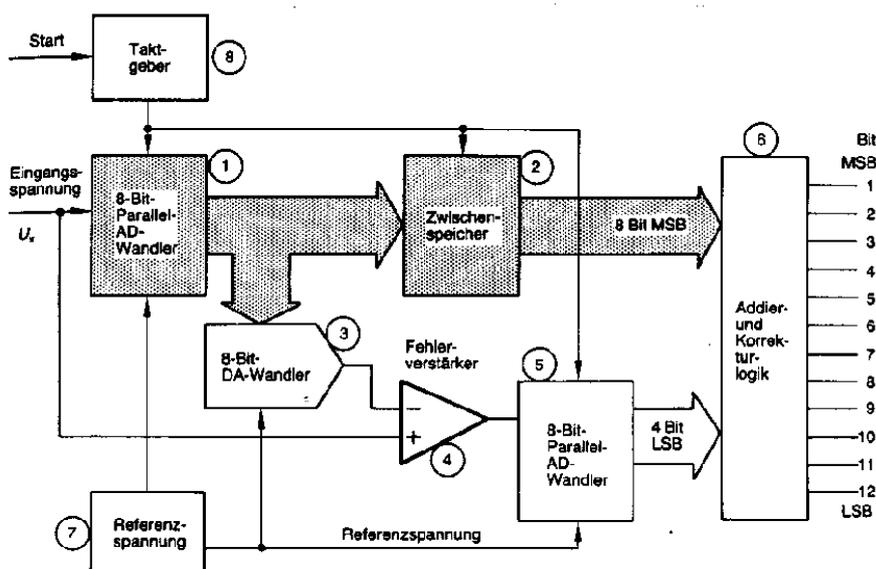


Bild 9-17. Blockschaltbild eines 12-Bit-Zwei-Stufen-Parallel-AD-Umsetzers.

Bild 9-17 zeigt das Blockschaltbild eines 12-Bit-AD-Wandlers mit 10-MHz-Abtastrate. Diese Geschwindigkeit ist mit dem Verfahren der sukzessiven Approximation nicht zu verwirklichen. Für einen Parallel-AD-Wandler würde man 4095 Komparatoren benötigen, deren Verlust-Wärme nur unter großen Schwierigkeiten abzuführen wäre.

Der Wandler arbeitet deshalb in zwei Stufen. Der 8-Bit-Parallelwandler (1) setzt die analoge Eingangsspannung in den ersten Digitalwert um. Der Zwischenspeicher (Latch) (2) behält diesen Digitalwert vorläufig. Der 8-Bit-DA-Wandler (3) wandelt ihn wieder in den Analogbereich zurück. Da der Parallelwandler (1) nicht rundet, sondern ein Bit erst dann setzt, wenn die entsprechende Analogspannung auch tatsächlich ansteht, ist die zurückgewandelte Analogspannung aus (3) im allgemeinen kleiner als die Eingangsspannung; denn hier fehlen die letzten 4 Bit.

Der Fehlerverstärker (4) verstärkt diese Differenz, die ein zweiter Parallel-Wandler (5) in den entsprechenden Digitalwert umsetzt. Eine Addier- und Korrekturlogik addiert beide Digitalwerte und gibt das Ergebnis als binär kodiertes Digitalwort aus.

Das Wandlerbauteil enthält noch eine eigene Referenzspannung und einen Taktgeber, der die beiden Parallel-Wandler und den Speicher zur richtigen Zeit aktiviert. Bild 9-18 zeigt die Arbeitsbereiche beider Parallelwandler.

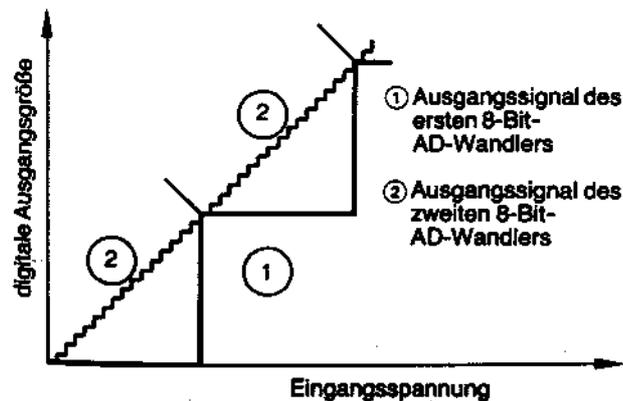


Bild 9-18. Zusammengesetzte Arbeitsbereiche beider Parallelwandler beim Zwei-Stufen-Parallel-AD-Umsetzer.

Die Herstellung eines zweistufigen Parallel-AD-Wandlers ist nicht einfach. Die Unterteilung der 256 Stufen des ersten 8-Bit-Parallelwandlers in jeweils weitere 16 Stufen ist nur dann sinnvoll, wenn der erste 8-Bit-Parallelwandler und der 8-Bit-DA-Wandler auf 12 Bit *genau* sind. Das setzt einen sehr genauen Spannungsteiler und Komparatoren, mit kleiner Offsetspannung voraus.

Bei dem vorgestellten 1 MHz-Wandler müssen drei Vorgänge innerhalb 100 ns ablaufen: die erste 8-Bit-AD-Wandlung, die 8-Bit-DA-Wandlung und die zweite AD-Wandlung der verbliebenen Differenz mit 4 Bit Genauigkeit.

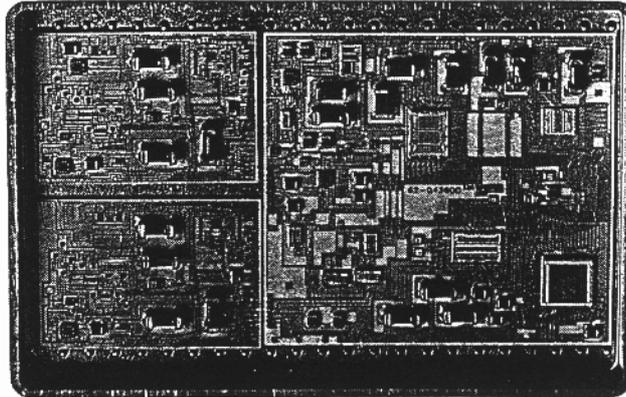


Bild 9-19. Schneller Zweistufen-Parallel-Analog-Digital-Wandler SP9560; 12-Bit, 10 MSPS (leicht vergr.).
Werkfoto: Sipex.

Bild 9-19 verdeutlicht den als Hybridschaltung realisierten inneren Aufbau eines Zweistufenwandlers mit 12 Bit Genauigkeit und 10-MHz-Abtastrate.

Die Hersteller gehen beim Bau schneller AD-Wandler unterschiedliche Wege. Es gibt 10-Bit-Wandler, die zuerst 7 Bit und danach weitere 3 Bit umsetzen. Andere haben Komparatoren mit Analogausgängen, wodurch ein weiteres echtes Bit durch Interpolation gewonnen. Mit diesem Verfahren erreicht man heute 10 Bit Auflösung und 75 MHz Umsetzrate = 75 MSPS (Mega Samples Per Second).

Die technische Entwicklung ist im Fluß; der neueste Stand ist zweckmäßigerweise den Datenbüchern der Hersteller zu entnehmen. Beim Parallel-AD-Wandler gibt die digitale Zahl am Ausgang das Verhältnis zwischen der Eingangs- und der Referenzspannung an. Die Referenzspannung ist im Prinzip frei wählbar. Der vom Hersteller empfohlene Wert sollte trotzdem eingehalten werden; denn eine kleine Referenzspannung führt auch zu kleineren Unterschieden an den Komparatoren und vergrößert den relativen Offsetfehler. Eine zu große Referenzspannung führt zu höherer Verlustleistung im meist niederohmigen Spannungsteiler und kann die zulässige Eingangsspannung der Komparatoren überschreiten.

AD- und DA-Wandler sind die Schnittstelle zwischen der fein auflösenden und empfindlichen Analogseite und der störfesten aber doch leicht störenden Digitalseite.

Wenn die von der Digital- zur Analogseite gekoppelten Störungen $1/2$ LSB überschreiten, kann die meist teuer erkaufte Genauigkeit des Wandlers nicht mehr ganz genutzt werden. Deshalb müssen Analog- und Digitalseite sorgfältig voneinander entkoppelt sein: gemeinsame Masseleitungen, deren Spannungsabfall vom Digitalsignal in den Analogkreis gelangt, sind zu vermeiden; ebenso müssen die Stromversorgungen von Analog- und Digitalteil *getrennt* zugeführt und gesiebt werden. Getrennte Anschlüsse am Wandler erleichtern diese Aufgabe. Wandler mit einer Auflösung von 12 Bit und mehr sind deshalb

besonders sorgfältig anzuschließen. Häufig enthalten die Firmen-Datenbücher genauere Hinweise.

6.11.5 Analog-Digital-Wandler nach dem Delta-Sigma-Verfahren

Die Vorteile dieses nicht neuen Verfahrens lassen sich erst durch verbesserte Halbleitertechnologien und große Stückzahlen in der Produktion, beispielsweise bei digitaler Kommunikationstechnik, nutzen.

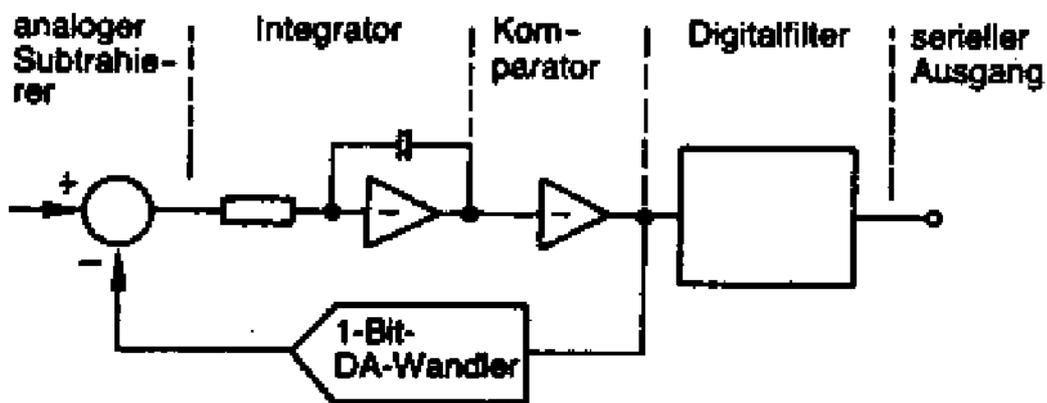


Bild 9-20. Delta-Sigma-Analog-Digital-Wandler.

Bild 9-20 zeigt das Blockschaftbild eines Delta-Sigma-AD-Wandlers. Das zeitlich veränderliche Eingangssignal kommt über den analogen Subtrahierer zum Integrator und verursacht an dessen Ausgang ein Signal, das der Komparator mit eins oder null bewertet. Der 1-Bit-Digital-Analog-Wandler erzeugt daraus eine positive oder negative Spannung, die über den Subtrahierer den Integrator wieder auf null zurückzieht.

Das nachgeschaltete *Digitalfilter* setzt den seriellen und verhältnismäßig hochfrequenten Bit-Strom in digitale Werte um, welche den Analogwert am Eingang mit niedriger Erneuerungsrate aber hoher Auflösung wiedergeben. Das Ergebnis kann man seriell oder parallel ausgeben.

Ein Anwendungsbeispiel ist der AD-Wandler in einem modernen digitalen Mobilfunknetz. Hierbei läßt sich die Sprache mit 1 MHz abtasten. Das Digitalfilter wandelt diesen Datenstrom in ein Ausgangssignal mit beispielsweise 8kHz Erneuerungsrate und 14 Bit bis 16 Bit Auflösung um.

Der Delta-Sigma-Modulator ist einfach herzustellen: Der Aufwand liegt im nachfolgenden Digitalfilter, das den größten Teil der Chipfläche beansprucht. Dieses Filter muß für jede Aufgabe eigens entwickelt werden; denn Delta-Sigma-Wandler sind nicht universell einsetzbar und nur in großen Stückzahlen wirtschaftlich herzustellen.

Dieses Prinzip macht den Delta-Sigma-Wandler streng linear, wenig anfällig gegen überlagerte Störungen, und es gibt *keine Lücken* im Ausgangskode (*missing codes*).

Eine Sample-and-Hold-Schaltung ist nicht erforderlich. Das Digitalfilter transformiert das *Quantisierungsrauschen* zum größten Teil in seinen Sperrbereich, in dem auch überlagene höherfrequente Störungen in fast idealer Weise unterdrückt werden. Bild 9-21 zeigt den Durchlaßbereich des Digitalfilters und das neue Frequenzspektrum des Quantisierungsrauschens.

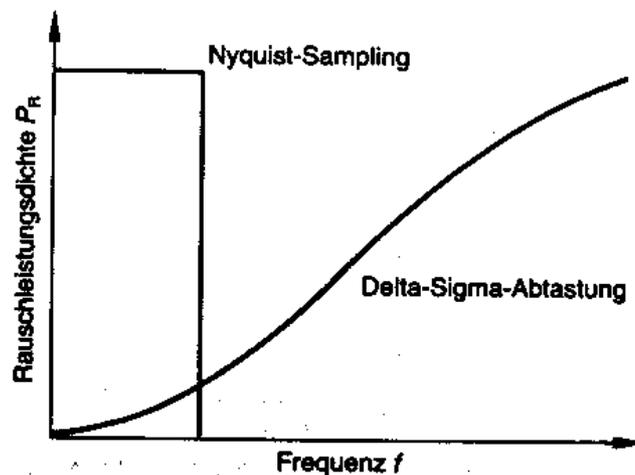


Bild 9-21. Quantisierungsrauschen beim Delta-Sigma-Wandler.